

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

**Applicants:** Hiroaki OHKUBO, et al.                      **Examiner:** Unassigned  
**Serial No:** Unassigned                                      **Art Unit:** Unassigned  
**Filed:** Herewith    **Docket:** 17525  
**For:** SEMICONDUCTOR INTEGRATED  
             CIRCUIT DRIVE                                      **Dated:** March 9, 2004

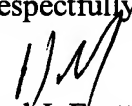
Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

**CLAIM OF PRIORITY**

Sir:

Applicants in the above-identified application hereby claim the right of priority in connection with Title 35 U.S.C. § 119 and in support thereof, herewith submit a certified copy of Japanese Patent Application No. 2003-097294, filed March 31, 2003.

Respectfully submitted,

  
Paul J. Esatto, Jr.  
Registration No.: 30,749


Scully, Scott, Murphy & Presser  
400 Garden City Plaza  
Garden City, New York 11530  
(516) 742-4343  
PJE:ahs

---

**CERTIFICATE OF MAILING UNDER 37 C.F.R. §1.8(a)**

I hereby certify that this correspondence is being deposited with the United States Postal Service as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Arlington, VA on March 9, 2004.

Dated: March 9, 2004

  
\_\_\_\_\_  
Paul J. Esatto, Jr.



US

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

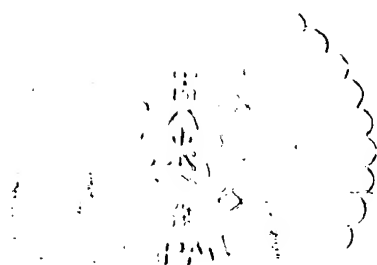
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    3 月 3 1 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 0 9 7 2 9 4  
Application Number:  
[ST. 10/C] :                      [ J P 2 0 0 3 - 0 9 7 2 9 4 ]

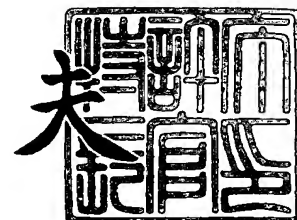
出      願      人                      N E C エレクトロニクス株式会社  
Applicant(s):



2 0 0 4 年    1 月 2 6 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出証番号    出証特 2 0 0 4 - 3 0 0 2 5 3 4



【書類名】 特許願

【整理番号】 74120056

【あて先】 特許庁長官 太田 信一郎 殿

【国際特許分類】 H01L 27/04  
H01L 27/06

【発明の名称】 半導体集積回路装置

【請求項の数】 9

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ  
クトロニクス株式会社内

【氏名】 大窪 宏明

【発明者】

【住所又は居所】 神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C エレ  
クトロニクス株式会社内

【氏名】 中柴 康隆

【特許出願人】

【識別番号】 302062931

【氏名又は名称】 N E C エレクトロニクス株式会社

【代理人】

【識別番号】 100090158

【弁理士】

【氏名又は名称】 藤巻 正憲

【電話番号】 03-3539-5651

【手数料の表示】

【予納台帳番号】 009782

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1



【物件名】 要約書 1  
【包括委任状番号】 0216549  
【プルーフの要否】 要



【書類名】 明細書

【発明の名称】 半導体集積回路装置

【特許請求の範囲】

【請求項 1】 半導体基板と、この半導体基板上に設けられた多層配線層とを備えた半導体集積回路装置において、前記半導体基板の表面及び前記多層配線層に設けられた集積回路部と、前記多層配線層よりも上層に設けられ温度に応じて電気的特性が変化する温度モニタ部と、この温度モニタ部に接続されこの温度モニタ部の電気的特性を検出して前記温度を測定する検出手段と、を有することを特徴とする半導体集積回路装置。

【請求項 2】 前記検出手段の出力に基づいて前記集積回路部が制御されることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】 前記温度モニタ部の直下域に前記集積回路部の少なくとも一部が配置されていることを特徴とする請求項 1 又は 2 に記載の半導体集積回路装置。

【請求項 4】 複数の前記温度モニタ部が設けられていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 5】 前記温度モニタ部よりも下層に設けられたボンディングパッドを有することを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 6】 前記温度モニタ部が温度に応じて抵抗値が変化する部材であり、前記検出手段が前記部材の抵抗値を検出するものであることを特徴とする請求項 1 乃至 5 のいずれか 1 項に記載の半導体集積回路装置。

【請求項 7】 前記部材が金属酸化物により形成されていることを特徴とする請求項 6 に記載の半導体集積回路装置。

【請求項 8】 前記金属酸化物が酸化バナジウムであることを特徴とする請求項 7 に記載の半導体集積回路装置。

【請求項 9】 前記部材の形状がシート状であることを特徴とする請求項 6 乃至 8 のいずれか 1 項に記載の半導体集積回路装置。

【発明の詳細な説明】

**【 0 0 0 1 】****【発明の属する技術分野】**

本発明は、モノリシック型の温度センサを内蔵した半導体集積回路装置に関する。

**【 0 0 0 2 】****【従来の技術】**

近時、半導体集積回路装置の動作温度をモニタする要求が高まってきている。これは、熱による素子の破壊を防止したり、半導体集積回路装置内に水晶発振器等の温度によって特性が変化する素子を設ける場合に、この素子の動作を安定化したりすることを目的とするものである。

**【 0 0 0 3 】**

例えば、半導体集積回路装置内において、L S I (Large Scale Integrated circuit：大規模集積回路) と同一の基板上に温度センサを設け、この温度センサによって検出される温度が所定値を超えたときに、異常過熱と判断してL S I を遮断状態とすることにより、L S I を温度上昇による熱破壊から保護する技術が開示されている(例えば、特許文献1 参照。 ) 。

**【 0 0 0 4 】**

また、このような温度センサとして、寄生 p n 接合ダイオードを使用する技術が提案されている(例えば、特許文献2 参照。 ) 。図5 は、特許文献2 に記載されている従来の温度センサを備えた半導体集積回路装置を示す断面図であり、図6 は、図5 に示す半導体集積回路装置の温度センサ部を示す等価回路図である。

**【 0 0 0 5 】**

図5 に示すように、この従来の半導体集積回路装置2 1 は、P 型シリコン基板 P S u b と、このP 型シリコン基板 P S u b 上に形成された多層配線層 M 2 1 から構成されている。多層配線層 M 2 1 は、夫々複数の配線層及び絶縁層が交互に積層されたものである。そして、この半導体集積回路装置2 1 には、P 型シリコン基板 P S u b の表面及び多層配線層 M 2 1 の所定の領域に形成された集積回路部2 と、同じくP 型シリコン基板 P S u b の表面及び多層配線層 M 2 1 における集積回路部2 が形成されていない領域に形成された温度センサ部2 3 とが設けら

れている。

#### 【0006】

集積回路部2においては、例えばCMOS (Complementary Metal Oxide Semiconductor: 相補型金属酸化膜半導体) 回路4が設けられている。CMOS回路4においては、P型シリコン基板PSubの表面にNウエルNW1及びPウエルPW1が相互に隣接するように形成されている。NウエルNW1の表面には、ソース・ドレイン領域となる2ヶ所の $p^+$ 拡散領域P1及びP2が相互に離隔して形成されており、PウエルPW1の表面には、ソース・ドレイン領域となる2ヶ所の $n^+$ 拡散領域N1及びN2が相互に離隔して形成されている。NウエルNW1における $p^+$ 拡散領域P1とP2との間はチャネル領域5となっている。また、PウエルPW1における $n^+$ 拡散領域N1とN2との間はチャネル領域6となっている。

#### 【0007】

多層配線層M21におけるチャネル領域5及び6の直上域を含む領域にはゲート絶縁膜(図示せず)が設けられており、ゲート絶縁膜上におけるチャネル領域5及び6の直上域には夫々、例えばポリシリコンからなるゲート電極G1及びG2が設けられている。ゲート電極G1及びG2はゲート端子Vgに共通接続されている。そして、チャネル領域5、ソース・ドレイン領域としての $p^+$ 拡散領域P1及びP2、ゲート絶縁膜並びにゲート電極G1により、P型MOSトランジスタが形成されている。また、チャネル領域6、ソース・ドレイン領域としての $n^+$ 拡散領域N1及びN2、ゲート絶縁膜並びにゲート電極G2により、N型MOSトランジスタが形成されている。

#### 【0008】

多層配線層M21における $p^+$ 拡散領域P1上には、この $p^+$ 拡散領域P1に接続するようにビアV1が設けられており、このビアV1上には、ビアV1に接続するように配線W1が設けられている。配線W1上には、この配線W1に接続するようにビアV2が設けられており、ビアV2上には、このビアV2に接続するように、電源電位配線Vccが設けられている。これにより、 $p^+$ 拡散領域P1は、ビアV1、配線W1及びビアV2を介して電源電位配線Vccに接続され

ている。

#### 【0009】

また、多層配線層M21における $p^+$ 拡散領域P2上には、この $p^+$ 拡散領域P2に接続するようにビアV3が設けられており、 $n^+$ 拡散領域N1上には、この $n^+$ 拡散領域N1に接続するようにビアV4が設けられている。そして、ビアV3及びV4上には、ビアV3及びV4の双方に接続するように配線W2が設けられており、配線W2上には、この配線W2に接続するようにビアV5が設けられており、ビアV5上にはこのビアV5に接続するように配線W3が設けられている。これにより、 $p^+$ 拡散領域P2及び $n^+$ 拡散領域N1は、ビアV3及びV4、配線W2並びにビアV5を介して配線W3に接続されている。

#### 【0010】

更に、多層配線層M21における $n^+$ 拡散領域N2上には、この $n^+$ 拡散領域N1に接続するようにビアV6が設けられており、ビアV6上には、このビアV6に接続するように配線W4が設けられている。配線W4上には、この配線W4に接続するようにビアV7が設けられており、ビアV7上には、このビアV7に接続するように、接地電位配線GNDが設けられている。これにより、 $n^+$ 拡散領域N2は、ビアV6、配線W4及びビアV7を介して接地電位配線GNDに接続されている。

#### 【0011】

一方、P型シリコン基板PSubの表面におけるNウエルNW1及びPウエルPW1が形成されている領域以外の領域に、 $p^+$ 拡散領域P3が形成されている。多層配線層M21における $p^+$ 拡散領域P3上には、下から順にビアV8、配線W5、ビアV9及び接地電位配線GNDがこの順に設けられており、 $p^+$ 拡散領域P3は、ビアV8、配線W5及びビアV9を介して接地電位配線GNDに接続されている。

#### 【0012】

温度センサ部23においては、P型シリコン基板PSubの表面にNウエルNW2が形成されており、このNウエルNW2の表面には $p^+$ 拡散領域P21及び $n^+$ 拡散領域N21が相互に離隔して形成されている。そして、多層配線層M2



1における $p^+$ 拡散領域P21上には、下から順にビアV21、配線W21、ビア22及び接地電位配線GNDがこの順に設けられており、 $p^+$ 拡散領域P21は、ビアV21、配線W21及びビアV22を介して接地電位配線GNDに接続されている。

#### 【0013】

また、多層配線層M21における $n^+$ 拡散領域N21上には、この $n^+$ 拡散領域N21に接続するようにビアV23が設けられており、このビアV23上には、配線W22が設けられている。配線W22は、その一端部がビアV23に接続されていると共に、出力端子Vout21に接続されている。また、配線W22の下方には、配線W22の他端部に接続するようにビアV24が設けられており、ビアV24の下方には、例えばポリシリコンからなる抵抗体Rが設けられている。抵抗体Rはシート状の形状を持ち、その一端部がビアV24に接続されている。抵抗体RはCMOS回路4のゲート電極G1及びG2と同時に形成されたものであり、ゲート電極G1及びG2と同層に設けられている。更に、抵抗体R上には抵抗体Rの他端部に接続するようにビアV25が設けられている。更にまた、ビアV25上には、下から順に、配線W23、ビアV26及び電源電位配線Vccが設けられており、抵抗体RはビアV25、配線W23及びビアV26を介して電源電位配線Vccに接続されている。

#### 【0014】

これにより、NウェルNW2には $p^+$ 拡散領域P21よりも高い電位が印加される。この結果、 $p^+$ 拡散領域P21とNウェルNW2との間で、順方向のpn接合が形成され、寄生pn接合ダイオードDが形成される。

#### 【0015】

なお、多層配線層M21において、ビアV1、V3、V4、V6、V8、V21及びV23は第1の絶縁層内に設けられており、この第1の絶縁層内に、ゲート電極G1及びG2並びに抵抗体Rが同層に設けられている。また、配線W1、W2、W4、W5、W21、W22及びW23は前記第1の絶縁層上に設けられた第1の配線層内に相互に同層に設けられており、ビアV2、V5、V7、V9、V22及びV26はこの第1の配線層上に設けられた第2の絶縁層内に設けら

れている。更に、各接地電位配線 GND、各電源電位配線 Vcc 及び配線 W3 は第 2 の絶縁層上に設けられた第 2 の配線層内に相互に同層に設けられている。更にまた、多層配線層 M21 における前記各ビア、各配線及び抵抗体 R 以外の部分、並びに第 2 の絶縁層の上層は、絶縁材料 7 により埋め込まれている。

#### 【0016】

図 6 に示すように、半導体集積回路装置 21 における温度センサ部 23 においては、電源電位配線 Vcc から接地電位配線 GND に向かって、抵抗体 R 及び寄生 pn 接合ダイオード D がこの順に直列に接続されており、抵抗体 R と寄生 pn 接合ダイオード D との間の接続点には出力端子 Vout21 が接続されている。このとき、寄生 pn 接合ダイオード D は順方向になるように接続されている。

#### 【0017】

これにより、図 5 に示すように、半導体集積回路装置 21 の温度が変化すると、寄生 pn 接合ダイオード D の特性が変化し、この特性の変化により出力端子 Vout21 の電位が変化する。そして、この出力端子 Vout21 の電位を検出することにより、半導体集積回路装置 21 の温度を測定することができる。また、この半導体集積回路装置 21 においては、寄生 pn 接合ダイオード D を、MOS トランジスタの素子構造を利用して形成することができるため、従来の MOS プロセスを変更することなく、温度センサ部 23 を形成することができる。

#### 【0018】

しかしながら、図 5 及び図 6 に示す従来の技術においては、寄生 pn 接合ダイオード D の温度係数が 0.002/K 程度と低く、十分な SNR (Signal-to-Noise Ratio: 信号対雑音比) を得ることができないという問題点がある。

#### 【0019】

そこで、半導体集積回路装置内に、MOS トランジスタの素子構造以外の構造を持つ温度センサ、例えば、半導体容量を使用する温度センサを設ける技術が提案されている (例えば、特許文献 3 参照。 )。

#### 【0020】

##### 【特許文献 1】

特開平 1-302849 号公報

**【特許文献 2】**

特開平 9 - 2 2 9 7 7 8 号公報

**【特許文献 3】**

特開昭 6 3 - 3 0 0 5 2 3 号公報

**【0 0 2 1】****【発明が解決しようとする課題】**

しかしながら、上述の従来技術には以下に示す問題点がある。即ち、半導体集積回路装置内に、MOS トランジスタの素子構造以外の構造を持つ温度センサをモノリシックに形成しようとする、温度センサ部以外の集積回路部についても従来の半導体プロセスを変更しなくてはならず、新たなプロセス開発が必要となる。また、既に動作が検証されたマクロが使用できなくなり、新たな検証が必要になる。このように、集積回路部についても既存のプラットフォームを使用できなくなり、半導体集積回路装置の製造コストが増加する。更に、温度センサを形成する材料の種類によっては、半導体集積回路装置内及びその製造装置を汚染してしまう。

**【0 0 2 2】**

本発明はかかる問題点に鑑みてなされたものであって、集積回路部に既存のプラットフォームをそのまま使用することができ、その内部及びその製造装置を汚染することなく製造することができる温度センサを備えた半導体集積回路装置を提供することを目的とする。

**【0 0 2 3】****【課題を解決するための手段】**

本発明に係る半導体集積回路装置は、半導体基板と、この半導体基板上に設けられた多層配線層とを備えた半導体集積回路装置において、前記半導体基板の表面及び前記多層配線層に設けられた集積回路部と、前記多層配線層よりも上層に設けられ温度に応じて電気的特性が変化する温度モニタ部と、この温度モニタ部に接続されこの温度モニタ部の電気的特性を検出して前記温度を測定する検出手段と、を有することを特徴とする。

**【0 0 2 4】**

本発明においては、温度モニタ部を、多層配線層よりも上層に設けることにより、温度センサの構造をMOSトランジスタの素子構造以外の構造とする場合においても、多層配線層に設けられる集積回路部においては従来のプラットフォームをそのまま使用することができる。即ち、集積回路部が設けられる半導体基板及び多層配線層を形成した後に温度モニタ部を形成することができるため、集積回路部を従来の製造プロセスにより形成することができる。また、これにより、温度モニタ部に特殊な材料を使用する場合においても、集積回路部及び集積回路部を製造する製造装置が汚染されることがない。

#### 【0025】

更に、前記温度モニタ部の直下域に前記集積回路部の少なくとも一部が配置されていてもよい。これにより、温度モニタ部の直下域を有効に利用して省スペース化を図ることができ、半導体集積回路装置を小型化することができる。

#### 【0026】

更にまた、本発明に係る半導体集積回路装置には、複数の前記温度モニタ部が設けられていてもよい。これにより、温度測定の精度を向上させることができる。

#### 【0027】

更にまた、本発明に係る半導体集積回路装置は、前記温度モニタ部よりも下層に設けられたボンディングパッドを有していてもよい。これにより、ボンディングパッドまでを従来の製造プロセスにより製造することができる。

#### 【0028】

更にまた、前記温度モニタ部が温度に応じて抵抗値が変化する部材であり、前記検出手段が前記部材の抵抗値を検出するものであってもよく、この場合、前記部材が酸化バナジウムにより形成されていることが好ましい。これにより、酸化バナジウムは抵抗率の温度係数が高く、安定であるため、S N Rが高く信頼性が良好な温度モニタ部を得ることができる。

#### 【0029】

#### 【発明の実施の形態】

以下、本発明の実施形態について添付の図面を参照して具体的に説明する。先

ず、本発明の第1の実施形態について説明する。図1は、本実施形態に係る半導体集積回路装置を示す断面図であり、図2は、図1に示す半導体集積回路装置の温度センサ部を示す等価回路図である。本実施形態に係る半導体集積回路装置は1個のシリコンチップ上に形成されたものである。

### 【0030】

図1に示すように、本実施形態に係る半導体集積回路装置1は、P型シリコン基板P S u bと、このP型シリコン基板P S u b上に形成された多層配線層M1と、この多層配線層M1上に形成された絶縁層15と、この絶縁層15上に形成されたシート層16とから構成されている。多層配線層M1は、夫々複数の配線層及び絶縁層が交互に積層されたものである。また、シート層16は多層配線層M1内の配線層とは異なり、通常の配線は形成されないものである。そして、この半導体集積回路装置1には、P型シリコン基板P S u bの表面及び多層配線層M1の所定の領域に形成された集積回路部2が設けられている。また、P型シリコン基板P S u bの表面、多層配線層M1における集積回路部2が形成されていない領域、絶縁層15及びシート層16に形成された温度センサ部3とが設けられている。

### 【0031】

集積回路部2の構成は、図5に示す従来の半導体集積回路装置21の集積回路部2の構成と同じである。即ち、集積回路部2は、演算及び記憶等の処理を行うものであり、CMOS回路4等の素子が設けられている。また、集積回路部2には、温度センサ部3の測定結果をデータ処理する回路が含まれていてもよい。なお、集積回路部2にはCMOS回路4以外の素子も設けられているが、図1においては図示を省略されている。

### 【0032】

温度センサ部3においては、P型シリコン基板P S u bの表面の一部にp<sup>+</sup>拡散領域P4が形成されている。そして、多層配線層M1におけるp<sup>+</sup>拡散領域P4上の部分には、このp<sup>+</sup>拡散領域P4に接続するようにビアV11が設けられており、このビアV11上には、ビアV11に接続するように配線W11が設けられている。また、配線W11上には、配線W11に接続するようにビアV12

が設けられており、ビア V 1 2 上には、このビア V 1 2 に接続するように配線 W 1 2 が設けられている。そして、絶縁層 1 5 における配線 W 1 2 上の部分には、配線 W 1 2 に接続するようにビア V 1 3 が設けられている。

#### 【0 0 3 3】

更に、シート層 1 6 におけるビア V 1 3 上の部分には、温度モニタ部としてのシート部材 8 が設けられている。即ち、シート部材 8 は、多層配線層 M 1 の上層に設けられている。シート部材 8 の形状は、P 型シリコン基板 P S u b の表面に垂直な方向から見て正方形をなすシート形状であり、この正方形の 1 辺の長さが例えば 1 0 乃至 2 0  $\mu\text{m}$  であり、膜厚は例えば 0. 1 乃至 0. 2  $\mu\text{m}$  である。シート部材 8 の相互に対向する 2 辺には夫々電極（図示せず）が設けられており、一方の電極はビア V 1 3 に接続されている。

#### 【0 0 3 4】

シート部材 8 は例えば酸化バナジウムにより形成されている。酸化バナジウムの安定な化合物は、例えば V O <sub>2</sub> 及び V <sub>2</sub> O <sub>5</sub> 等であり、酸化バナジウムを化学式 V O <sub>x</sub> で表すと、x は 2 前後である。なお、温度が 2 5 ℃のときの酸化バナジウムの体積抵抗率は、シリコンウエハ上で例えば 0. 0 1 乃至 1 0 ( $\Omega \cdot \text{cm}$ ) 程度であり、温度係数は - 0. 0 2 乃至 - 0. 0 3 ( $^{\circ}\text{C}^{-1}$ ) 程度である。シート部材 8 の抵抗値は例えば数百  $\Omega$ 、例えば 3 0 0  $\Omega$  である。

#### 【0 0 3 5】

絶縁層 1 5 におけるシート部材 8 の下方に相当する部分には、シート部材 8 の他方の電極（図示せず）に接続するようにビア V 1 4 が設けられている。また、多層配線層 M 1 におけるビア V 1 4 の下方には、このビア V 1 4 に接続するように配線 W 1 3 が設けられている。配線 W 1 3 には、出力端子 V o u t 1 が接続されている。更に、配線 W 1 3 の下方には配線 W 1 3 に接続するようにビア V 1 5 が設けられており、ビア V 1 5 の下方には、ビア V 1 5 に接続するように配線 W 1 4 が設けられており、配線 W 1 4 の下方にはこの配線 W 1 4 に接続するようにビア V 1 6 が設けられている。

#### 【0 0 3 6】

ビア V 1 6 の下方には、例えばポリシリコンからなる抵抗体 R が設けられてい

る。抵抗体 R はシート状の形状を持ち、その一端部がビア V 1 6 に接続されている。抵抗体 R は集積回路部 2 における CMOS 回路 4 のゲート電極 G 1 及び G 2 と同時に形成されたものであり、ゲート電極 G 1 及び G 2 と同層に設けられている。抵抗体 R の形状は、P 型シリコン基板 P S u b の表面に垂直な方向から見て正形状をなすシート形状であり、この正方形の 1 辺の長さが例えば 1 0 乃至 2 0  $\mu$  m であり、膜厚は例えば 0 . 2 乃至 0 . 3  $\mu$  m である。また、抵抗体 R の抵抗値は、例えば、シート部材 8 の抵抗値と略等しく設定されており、例えば数百  $\Omega$ 、例えば 3 0 0  $\Omega$  である。

#### 【 0 0 3 7 】

更にまた、抵抗体 R 上には抵抗体 R の他端部に接続するようにビア V 1 7 が設けられている。更にまた、ビア V 1 7 上には、ビア V 1 7 に接続するように配線 W 1 5 が設けられており、配線 W 1 5 上には、配線 W 1 5 に接続するようにビア V 1 8 が設けられており、ビア V 1 8 上には、ビア V 1 8 に接続するように電源電位配線 V c c が設けられている。

#### 【 0 0 3 8 】

即ち、p<sup>+</sup>拡散領域 P 4 から電源電位配線 V c c に向かって、ビア V 1 1、配線 W 1 1、ビア V 1 2、配線 W 1 2、ビア V 1 3、シート部材 8、ビア V 1 4、配線 W 1 3、ビア V 1 5、配線 W 1 4、ビア V 1 6、抵抗体 R、ビア V 1 7、配線 W 1 5、ビア V 1 8 がこの順に直列に接続されている。また、p<sup>+</sup>拡散領域 P 4 は、P 型シリコン基板 P S u b、p<sup>+</sup>拡散領域 P 3、ビア V 8、配線 W 5、ビア V 9 を介して、集積回路部 2 の接地電位配線 G N D に接続されている。

#### 【 0 0 3 9 】

なお、P 型シリコン基板 P S u b の p<sup>+</sup>拡散領域 P 4、ビア V 1 1 乃至 V 1 8、配線 W 1 1 乃至 W 1 5 及び抵抗体 R により、検出手段が形成されている。そして、この検出手段及び温度モニタ部としてのシート部材 8 により、温度センサ部 3 が形成されている。

#### 【 0 0 4 0 】

本実施形態に係る半導体集積回路装置 1 を上述の如く構成した結果、図 2 に示すように、温度センサ部 3 においては、電源電位配線 V c c から接地電位配線 G

NDに向かって、抵抗体R及びシート部材8がこの順に直列に接続された回路が形成される。そして、抵抗体Rとシート部材8との接続点に、出力端子Vout1が接続されている。

#### 【0041】

なお、多層配線層M1において、ビアV1、V3、V4、V6、V8、V11、V16及びV17は第1の絶縁層内に設けられており、この第1の絶縁層内に、ゲート電極G1及びG2並びに抵抗体Rが同層に設けられている。また、配線W1、W2、W4、W5、W11、W14及びW15は、前記第1の絶縁層上に設けられた第1の配線層内に相互に同層に設けられており、ビアV2、V5、V7、V9、V12、V15及びV18は、この第1の配線層上に設けられた第2の絶縁層内に設けられている。更に、各接地電位配線GND、各電源電位配線Vcc、配線W3、W12及びW13は、第2の絶縁層上に設けられた第2の配線層内に相互に同層に設けられている。更にまた、ビアV13及びV14は、多層配線層M1上に設けられた絶縁層15内に設けられている。更にまた、シート部材8は、この絶縁層15上に設けられたシート層16に設けられている。多層配線層M1、絶縁層15及びシート層16における前記各ビア、各配線、抵抗体R及びシート部材8以外の部分、並びにシート部材8の上層は、絶縁材料7により埋め込まれている。

#### 【0042】

上述の如く、半導体集積回路装置1においては、集積回路部2はP型シリコン基板PSub及び多層配線層M1に設けられており、多層配線層M1の上層にある絶縁層15及びシート層16には設けられていない。一方、温度センサ部3のシート部材8はシート層16に設けられている。

#### 【0043】

次に、図1を参照して半導体集積回路装置1の製造方法について説明する。本実施形態においては、通常の方法により、P型シリコン基板PSubの表面にNウェルNW1及びPウェルPW1並びにn<sup>+</sup>拡散領域N1、N2及びp<sup>+</sup>拡散領域P1乃至P4を形成した後、多層配線層M1を下層から上層に向かって形成する。このとき、抵抗体Rはゲート電極G1及びG2と同時に形成するが、ゲート



電極G1及びG2に不純物を注入する際には抵抗体Rをマスクで覆い、不純物の注入を制限する。そして、抵抗体Rに注入する不純物の濃度を制御することにより、抵抗体Rの抵抗率を調整する。その後、多層配線層M1上に絶縁層15を形成し、絶縁層15内にビアV13及びV14を形成する。その後、絶縁層15上にシート部材8をスパッタ法により形成し、絶縁材料7によりシート部材8を埋め込み、シート層16を形成する。これにより、本実施形態に係る半導体集積回路装置1が製造される。

#### 【0044】

次に、上述の如く構成された本実施形態に係る半導体集積回路装置1の動作について説明する。接地電位配線GNDに接地電位を印加し、電源電位配線Vccに電源電位を印加すると、出力端子Vout1の電位は、シート部材8の抵抗値及び抵抗体Rの抵抗値によって決定される接地電位と電源電位との中間の値となる。そして、外部の温度が上昇するか、又は集積回路部2が駆動して発熱することにより半導体集積回路装置1の温度が上昇すると、シート部材8の温度も上昇し、その抵抗値が低下する。このとき、シート部材8を形成する酸化バナジウムの抵抗率の温度係数は $-0.02$ 乃至 $-0.03$ 程度であるため、温度が $1^{\circ}\text{C}$ 上昇すると抵抗値は $2\sim 3\%$ 程度減少する。そして、出力端子Vout1の電位を検出することにより、半導体集積回路装置1の温度を測定する。

#### 【0045】

そして、この温度の測定結果に基づいて、集積回路部2を制御する。例えば、温度の測定値が所定の値を超えた場合は、集積回路部2が過熱状態にあると判断し、集積回路部2の駆動を停止する。

#### 【0046】

本実施形態においては、シート部材8が多層配線層M1の上層のシート層16に設けられており、集積回路部2がこのシート層16には設けられておらず、それよりも下層の配線層に設けられているため、集積回路部2には既存のマクロを使用することができる。そして、集積回路部2を形成した後に、シート部材8を形成することができるため、集積回路部2を従来の製造プロセスにより形成することができる。このため、集積回路部2については、既存のプラットフォームを

変更する必要がない。この結果、シート部材 8 を設けることによる製造コストの上昇を抑制できる。また、酸化バナジウムにより、集積回路部 2 を汚染することがなく、集積回路部 2 を製造するための半導体製造装置を汚染することがない。

#### 【0047】

また、酸化バナジウムは、抵抗率の温度係数の絶対値が 0.02～0.03 程度であり、寄生 p n 接合ダイオードの温度係数の絶対値である 0.002 よりも大きいため、温度測定に際して高い S N R を得ることができる。更に、酸化バナジウムは化学的に安定であるため、温度センサ部 3 の信頼性を向上させることができ、この結果、半導体集積回路装置 1 の信頼性を向上させることができる。

#### 【0048】

更に、温度センサ部 3 における温度の測定結果に基づいて集積回路部 2 を制御することにより、集積回路部 2 を適正に制御することができる。例えば、集積回路部 2 が過熱により破壊されることを防止することができる。

#### 【0049】

なお、本実施形態においては、集積回路部 2 が形成されている領域と異なる領域に温度センサ部 3 が形成されている例を示したが、本発明においては、集積回路部 2 の直上域の少なくとも一部にシート部材 8 が形成されていてもよい。即ち、シート部材 8 の直下域に、集積回路部 2 の少なくとも一部が配置されていてもよい。これにより、シート部材 8 の直下域を有効に利用して省スペース化を図ることができ、半導体集積回路装置 1 のレイアウト面積を低減して小型化を図ることができる。

#### 【0050】

また、温度センサ部 3 は、半導体集積回路装置 1 が形成されているチップの 1 ヶ所に形成されていてもよく、複数の箇所に夫々形成されていてもよい。例えば、チップの中央部及び四隅部の合計 5 ヶ所に形成されていてもよい。温度センサ部 3 を複数ヶ所に夫々設け、各温度センサ部 3 の測定値の平均値を算出することにより、温度測定の精度をより向上させることができる。

#### 【0051】

更に、本実施形態においては、1 枚のシート部材 8 を設けたが、本発明はこれ

に限定されず、複数枚のシート部材 8 を設けてもよい。この場合、半導体集積回路装置 1 の最上層に複数枚のシート部材 8 を設けることが好ましいが、レイアウト面積を縮小するために、半導体集積回路装置 1 の最上層及びそれより下層の層に夫々シート部材 8 を設けてもよい。但し、この場合においても、シート部材 8 は、集積回路部 2 が設けられた多層配線層 M 1 よりも上層に設ける必要がある。

#### 【0052】

更にまた、温度センサ部 3 の構成は図 1 に示す構成に限定されず、例えば、出力端子 V o u t 1 は配線 W 1 4 に接続されていてもよい。また、多層配線層 M 1 は 3 層以上の配線層を有していてもよい。

#### 【0053】

次に、本発明の第 2 の実施形態について説明する。図 3 は、本実施形態に係る半導体集積回路装置を示す断面図である。なお、図 3 に示す構成要素のうち、図 1 に示す構成要素と同じ構成要素には図 1 と同じ符号を付し、詳細な説明を省略する。図 3 に示すように、本実施形態に係る半導体集積回路装置 1 1 は、集積回路部 1 2 にバラクタ素子 9 が設けられていることを特徴としている。即ち、半導体集積回路装置 1 1 は P 型シリコン基板 P S u b 及び多層配線層 M 2 から構成されており、集積回路部 1 2 及び温度センサ部 3 が設けられている。そして、集積回路部 1 2 にはバラクタ素子 9 が設けられており、温度センサ部 3 の出力がバラクタ素子 9 に入力するようになっている。なお、集積回路部 1 2 には、CMOS 回路等の素子が設けられていてもよいが、図 3 においては、集積回路部 1 2 におけるバラクタ素子 9 以外の素子は、図示を省略している。本実施形態における上記以外の構成は、前述の第 1 の実施形態と同様である。

#### 【0054】

バラクタ素子 9 は電圧制御可変容量端子である。バラクタ素子 9 は、例えば、インダクタ（図示せず）と共に LC 共振回路を構成するものであってもよい。そして、この LC 共振回路は、例えば、LC-VCO（voltage Controlled Oscillator：電圧制御発振器）の一部であってもよい。

#### 【0055】

バラクタ素子 9 においては、P 型シリコン基板 P S u b の表面に N ウエル NW

3 が形成されている。そして、N ウエル NW 3 の表面における相互に離隔した 2 ヶ所の領域に、 $n^+$  拡散領域 N 3 及び N 4 が形成されている。多層配線層 M 2 における  $n^+$  拡散領域 N 3 の直上域に相当する部分には、下方、即ち  $n^+$  拡散領域 N 3 側から上方に向かって、ビア V 3 1、配線 W 3 1、ビア V 3 2 及び配線 W 3 2 がこの順に設けられており、これらは直列に接続されている。また、多層配線層 M 2 における  $n^+$  拡散領域 N 4 の直上域に相当する部分には、下方から上方に向かって、ビア V 3 3、配線 W 3 3、ビア V 3 4 及び配線 W 3 4 がこの順に設けられており、これらは直列に接続されている。そして、配線 W 3 2 及び W 3 4 はソース・ドレイン端子 V s d に共通接続されている。更に、N ウエル NW 3 における  $n^+$  拡散領域 N 3 と N 4 との間の領域の直上域には、ゲート絶縁膜（図示せず）が設けられており、このゲート絶縁膜上には、例えばポリシリコンからなるゲート電極 G 3 が設けられている。ゲート電極 G 3 はゲート端子 V g に接続されており、ゲート端子 V g は、温度センサ部 3 の出力端子 V o u t 1 から出力された信号が入力されるようになっている。

#### 【0056】

なお、ビア V 3 1、V 3 3 及びゲート電極 G 3 は第 1 の絶縁層に設けられており、配線 W 3 1 及び W 3 3 は第 1 の配線層に設けられており、ビア V 3 2 及び V 3 4 は第 2 の絶縁層に設けられており、配線 W 3 2 及び W 3 4 は第 2 の配線層に設けられている。

#### 【0057】

次に、本実施形態に係る半導体集積回路装置 1 1 の動作について説明する。前述の第 1 の実施形態と同様な動作により、温度センサ部 3 が温度に応じた電位信号を出力端子 V o u t 1 から出力する。そして、この電位信号が、集積回路部 1 2 のゲート端子 V g に入力される。このため、半導体集積回路装置 1 1 の温度が変化すると、シート部材 8 の抵抗値が変化し、集積回路部 1 2 のゲート端子 V g に入力される電位が変化する。

#### 【0058】

これにより、バラクタ素子 9 において、ソース・ドレイン端子 V s d とゲート端子 V g との間に印加される電圧が変化する。この結果、N ウエル NW 3 にお

るゲート電極G 3の直下域における空乏層の厚さが変化し、NウエルNW 3とゲート電極G 3との間の容量値が変化する。即ち、NウエルNW 3に対するゲート電極G 3の電位が十分に高いと、バラクタ素子9がアキュムレーションモードになり、容量絶縁膜の実効的な厚さがゲート電極G 3の厚さとなるため、NウエルNW 3とゲート電極G 3との間の容量値が最大になる。この状態から、NウエルNW 3に対するゲート電極G 3の電位が低下していくと、NウエルNW 3におけるゲート電極G 3の直下域に空乏層が形成され、実効的な容量絶縁膜の厚さが厚くなり、NウエルNW 3とゲート電極G 3との間の容量値が低下する。このように、ゲート端子V<sub>g</sub>に入力される電位に応じて容量値が変化することにより、半導体集積回路装置11の温度をバラクタ素子9の容量値として取り出すことができる。また、このバラクタ素子9がインダクタと共にLC-VCOを構成している場合は、バラクタ素子9の容量値に応じてLC-VCOが発振する交流信号の周波数が変化する。この結果、半導体集積回路装置11の温度をこのLC-VCOが発振する交流信号の周波数として取り出すことができる。このように、温度センサ部3の出力端子V<sub>out1</sub>から出力される信号に基づいて、集積回路部12のバラクタ素子9が制御される。

#### 【0059】

上述の如く、本実施形態においては、半導体集積回路装置11の温度を、容量値又は交流信号の周波数として取り出すことができる。本実施形態における上記以外の効果は、前述の第1の実施形態と同様である。

#### 【0060】

次に、本発明の第3の実施形態について説明する。図4は、本実施形態に係る半導体集積回路装置を示す断面図である。図4に示すように、本実施形態の特徴は、集積回路部22にボンディングパッド10が設けられていることである。即ち、本実施形態に係る半導体集積回路装置は、P型シリコン基板PSub及び多層配線層M3から構成されており、集積回路部22及び温度センサ部3が設けられている。そして、集積回路部22にはボンディングパッド10が設けられている。なお、図4においては、集積回路部22におけるボンディングパッド10とその周辺部以外の部分、及び温度センサ部3におけるシート部材8以外の部分は

、図示を省略されている。本実施形態における上記以外の構成は、前述の第 1 の実施形態と同様である。

#### 【0061】

本実施形態においては、多層配線層 M 3 に絶縁材料 7 からなる絶縁層 1 7 が設けられている。絶縁層 1 7 は多層配線層 M 3 の最上層である。そして、集積回路部 2 2 において、絶縁層 1 7 上にボンディングパッド 1 0 が設けられている。なお、ボンディングパッド 1 0 は、前述の第 2 の配線層、即ち、接地電位配線 G N D 及び電源電位配線 V c c が設けられている配線層に設けられていてもよい。また、ボンディングパッド 1 0 は、例えば、アルミニウム等の金属により形成されている。

#### 【0062】

ボンディングパッド 1 0 の下方にはビア V 3 5 及び配線 W 3 5 が設けられており、ボンディングパッド 1 0 はビア V 3 5 を介して配線 W 3 5 に接続されている。また、例えば、配線 W 3 5 の下方にはビア V 3 6 が設けられており、配線 W 3 5 はビア V 3 6 を介して、P 型シリコン基板 P S u b に接続されている。なお、配線 W 3 5 は、例えば図 1 に示す配線 W 3 のように、C M O S 回路の入力配線であってもよい。

#### 【0063】

更に、絶縁層 1 7 上には、絶縁層 1 7 の上面及びボンディングパッド 1 0 の端部を覆うように、絶縁材料 7 からなる絶縁層 1 5 が設けられている。そして、温度センサ部 3 において、絶縁層 1 5 上にシート部材 8 が設けられている。更にまた、絶縁層 1 5 上には、絶縁層 1 5 の上面及びシート部材 8 を覆うように、絶縁材料 7 からなる膜が形成されており、これにより、シート層 1 6 が形成されている。なお、絶縁層 1 5 及びシート層 1 6 におけるボンディングパッド 1 0 の端部を除く部分の直上域に相当する領域には、開口部 1 8 が形成されており、開口部 1 8 において、ボンディングパッド 1 0 が露出している。そして、ボンディングパッド 1 0 の露出部分には、半田ボール 1 4 が搭載されている。半田ボール 1 4 にワイヤ配線（図示せず）が接合される。

#### 【0064】

次に、本実施形態の動作について説明する。前述のワイヤ配線に対して、集積回路部 2 2 が半田ボール 1 4、ボンディングパッド 1 0、ビア V 3 5 及び配線 W 3 5 を介して信号を入出力する。本実施形態に係る半導体集積回路装置における上記以外の動作は、前述の第 1 の実施形態と同様である。

#### 【0 0 6 5】

本実施形態においては、半導体集積回路装置にボンディングパッド 1 0 を設け、このボンディングパッド 1 0 よりも上層にシート部材 8 を設けている。これにより、P 型シリコン基板 P S u b からボンディングパッド 1 0 までを従来の製造プロセスにより製造し、その後、別工程にてシート部材 8 を形成することができる。このため、ボンディングパッド 1 0 までの製造において既存のプラットフォームを使用することができ、シート部材 8 を設けることによる製造コストの増加を抑制できる。本実施形態における上記以外の効果は、前述の第 1 の実施形態と同様である。

#### 【0 0 6 6】

なお、本実施形態において、開口部 1 8 内を、シート部材 8 を形成する材料と同じ材料、例えば酸化バナジウムにより埋め込み、ボンディングパッドの表面の高さを、シート部材 8 の表面の高さと同じにしてもよい。

#### 【0 0 6 7】

##### 【発明の効果】

以上詳述したように、本発明によれば、モニタ手段を集積回路部よりも上層に設けているため、温度センサに M O S トランジスタの素子構造を利用する温度センサ以外のセンサを使用しても、集積回路部には従来のプラットフォームを使用することができる。また、集積回路部を形成した後に温度モニタ部を形成することができるため、集積回路部を従来の製造プロセスにより形成することができると共に、温度モニタ部を形成する材料により集積回路部及びそれを製造する装置を汚染することがない。この結果、製造コストが低く、性能が高いモノリシック型の温度センサを備えた半導体集積回路装置を得ることができる。

##### 【図面の簡単な説明】

#### 【図 1】

本発明の第 1 の実施形態に係る半導体集積回路装置を示す断面図である。

【図 2】

図 1 に示す半導体集積回路装置の温度センサ部を示す等価回路図である。

【図 3】

本発明の第 2 の実施形態に係る半導体集積回路装置を示す断面図である。

【図 4】

本発明の第 3 の実施形態に係る半導体集積回路装置を示す断面図である。

【図 5】

従来の温度センサを備えた半導体集積回路装置を示す断面図である。

【図 6】

図 5 に示す半導体集積回路装置の温度センサ部を示す等価回路図である。

【符号の説明】

- 1、1 1、2 1；半導体集積回路装置
- 2、1 2、2 2；集積回路部
- 3、2 3；温度センサ部
- 4；CMOS回路
- 5、6；チャネル領域
- 7；絶縁材料
- 8；シート部材
- 9；バラクタ素子
- 1 0；ボンディングパッド
- 1 4；半田ボール
- 1 5、1 7；絶縁層
- 1 6；シート層
- 1 8；開口部
- D；寄生 p n 接合ダイオード
- G 1、G 2、G 3；ゲート電極
- M 1、M 2、M 3、M 2 1；多層配線層
- P S u b；P 型シリコン基板



R ; 抵抗体

V g ; ゲート端子

V s d ; ソース・ドレイン端子

V o u t 1、V o u t 2 1 ; 出力端子

P W 1 ; P ウエル

N W 1、N W 2、N W 3 ; N ウエル

P 1、P 2、P 3、P 4、P 2 1 ;  $p^{+}$  拡散領域

N 1、N 2、N 3、N 4、N 2 1 ;  $n^{+}$  拡散領域

V 1 ~ V 9、V 1 1 ~ V 1 8、V 2 1 ~ V 2 6、V 3 1 ~ V 3 6 ; ビア

W 1 ~ W 5、W 1 1 ~ W 1 3、W 2 1 ~ W 2 3、W 3 1 ~ W 3 5 ; 配線

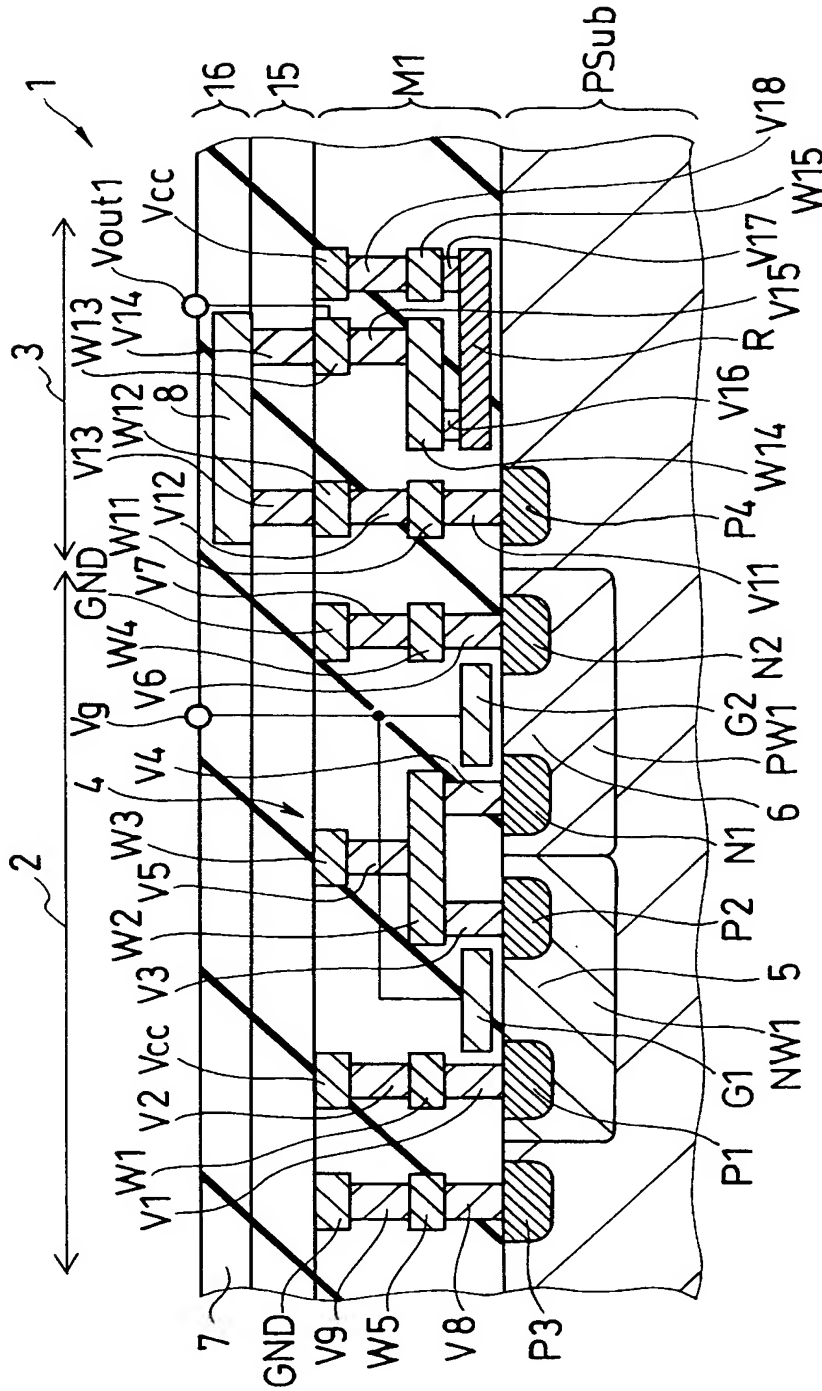
V c c ; 電源電位配線

G N D ; 接地電位配線

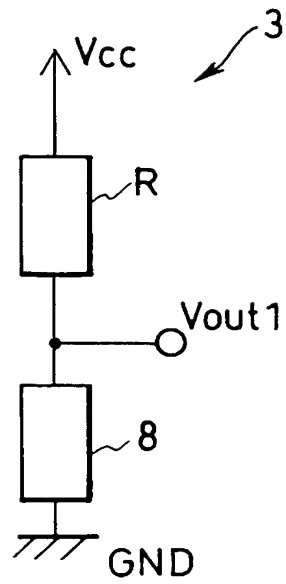
【書類名】

図面

【図 1】

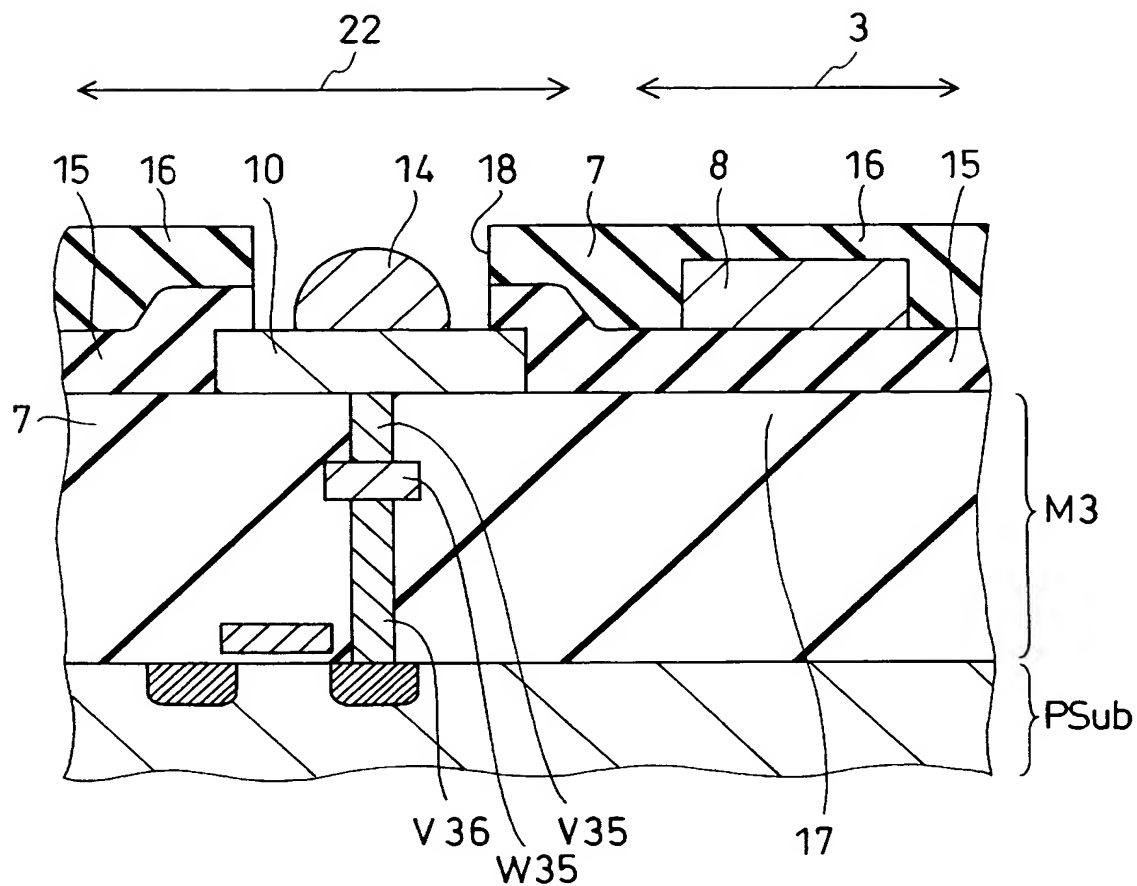


【図 2】





【図 4】



10 ; ボンディングパッド

14 ; 半田ボール

15、17；絶縁層

16 ; シート層

18 ; 開口部

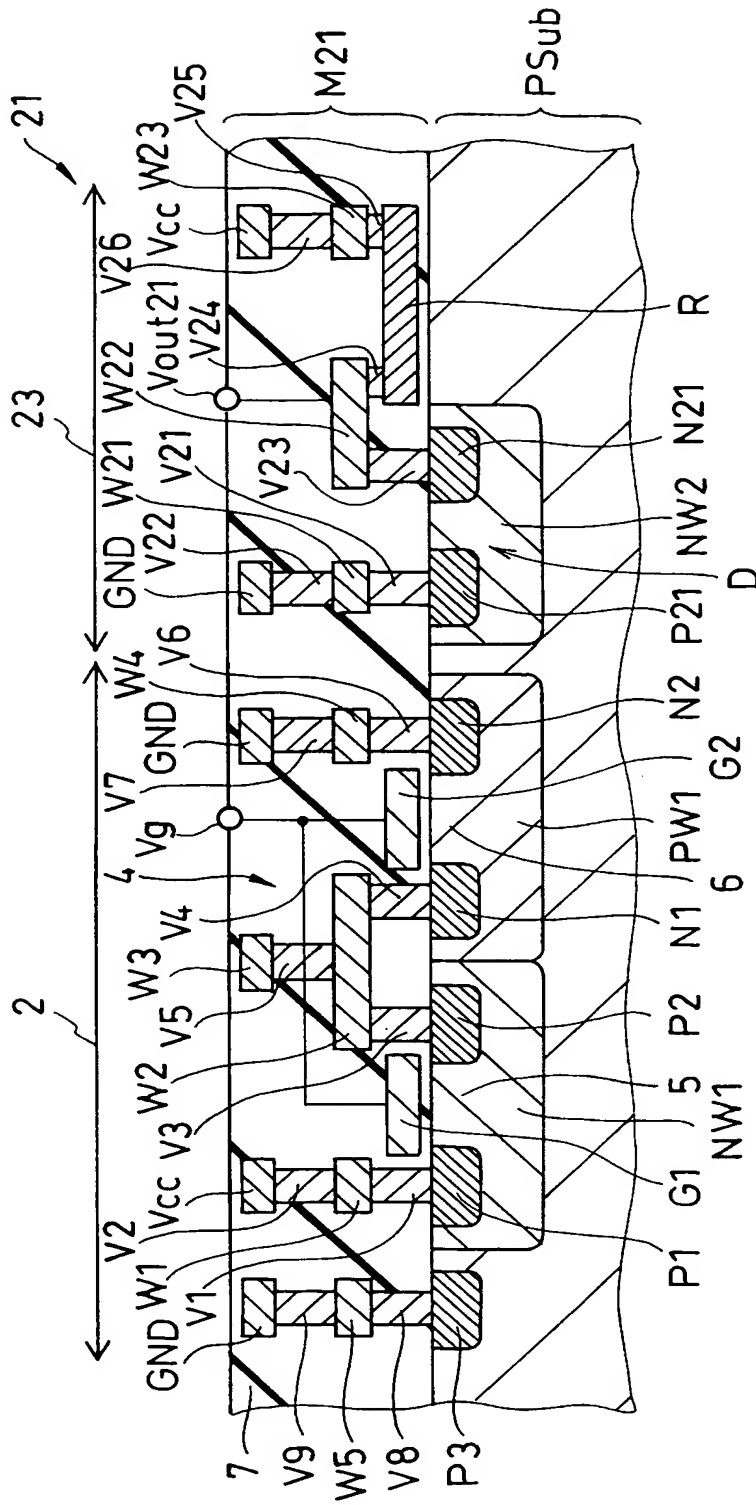
22; 集積回路部

M 3 ; 多層配線層

V 3 5、V 3 6 ; ビア

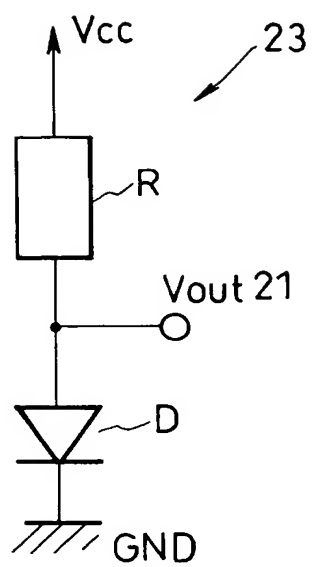
W 3 5 ; 配線

【図 5】



21; 半導体集積回路装置  
23; 温度センサ部  
W21~V26; ビア  
M21; 多層配線層  
D; 寄生Pn接合ダイオード

【図 6】



【書類名】 要約書

【要約】

【課題】 集積回路部に既存のプラットフォームをそのまま使用することができ、その内部及びその製造装置を汚染することなく製造することができる温度センサを備えた半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置 1 において、P 型シリコン基板 P S u b の表面及び多層配線層 M 1 に集積回路部 2 を設ける。また、温度センサ部 3 を設け、多層配線層 M 1 よりも上層に、酸化バナジウムからなるシート部材 8 を設ける。そして、接地電位配線 G N D と電源電位配線 V c c との間に、シート部材 8 及び抵抗体 R を直列に接続し、両者の接続点に出力端子 V o u t 1 を接続する。

【選択図】 図 1



認定・付加情報

特許出願の番号	特願 2 0 0 3 - 0 9 7 2 9 4
受付番号	5 0 3 0 0 5 3 7 9 6 8
書類名	特許願
担当官	第五担当上席 0 0 9 4
作成日	平成 1 5 年 4 月 3 日

< 認定情報・付加情報 >

【提出日】	平成15年 3月31日
-------	-------------

次頁無

特願 2 0 0 3 - 0 9 7 2 9 4

出 願 人 履 歴 情 報

識別番号 [ 3 0 2 0 6 2 9 3 1 ]

1. 変更年月日 2 0 0 2 年 1 1 月 1 日

[変更理由] 新規登録

住 所 神奈川県川崎市中原区下沼部 1 7 5 3 番地

氏 名 N E C エレクトロニクス株式会社